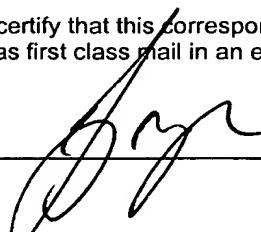




#5

Docket No.: GR 98 P 8060 P

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By: 

Date: June 1, 2001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Bertram Gunzelmann et al.
Appl. No. : 09/767,379
Filed : January 22, 2001
Title : Acquisition Method and Apparatus for Carrying Out the Method

CLAIM FOR PRIORITY

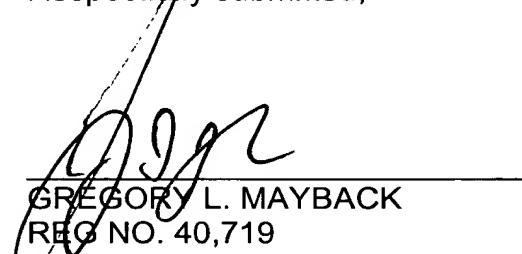
Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 198 32 850.8 filed July 21, 1998.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

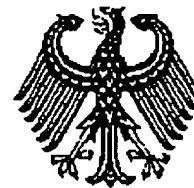

GREGORY L. MAYBACK
REQ NO. 40,719

Date: June 1, 2001

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 198 32 850.8

Anmeldetag: 21. Juli 1998

Anmelder/Inhaber: Siemens Aktiengesellschaft, München/DE

Bezeichnung: Akquisitionsverfahren und Vorrichtung zur Durchführung des Verfahrens

IPC: H 04 B, H 04 J und G 01 S

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. Februar 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Seiler

21.10.1986



12

Zusammenfassung

Akquisitionsverfahren und Vorrichtung zur Durchführung des Verfahrens

5

In der Datenkommunikation, Ortung und Navigation besteht das Problem, daß ein Empfänger mehrere Sendersignale empfängt und dann ein Sender identifiziert werden muß. Es werden hierzu ein Akquisitionsverfahren und eine Vorrichtung zur Durchführung eines Verfahrens beschrieben, bei welchem eine Korrelation der empfangenen Spreizfolge mit der Frequenz f durchgeführt, wobei f die Frequenz der eingehenden Spreizfolge ist. Die empfangene Spreizfolge wird gespeichert und diese gespeicherte empfangene Spreizfolge wird mit einer Überabtastrate 15 i^*f prozessiert. Die empfangene gespeicherte Spreizfolge wird in i Abschnitte eingeteilt und die Korrelation wird in i Schritten durchgeführt.

Figur 2

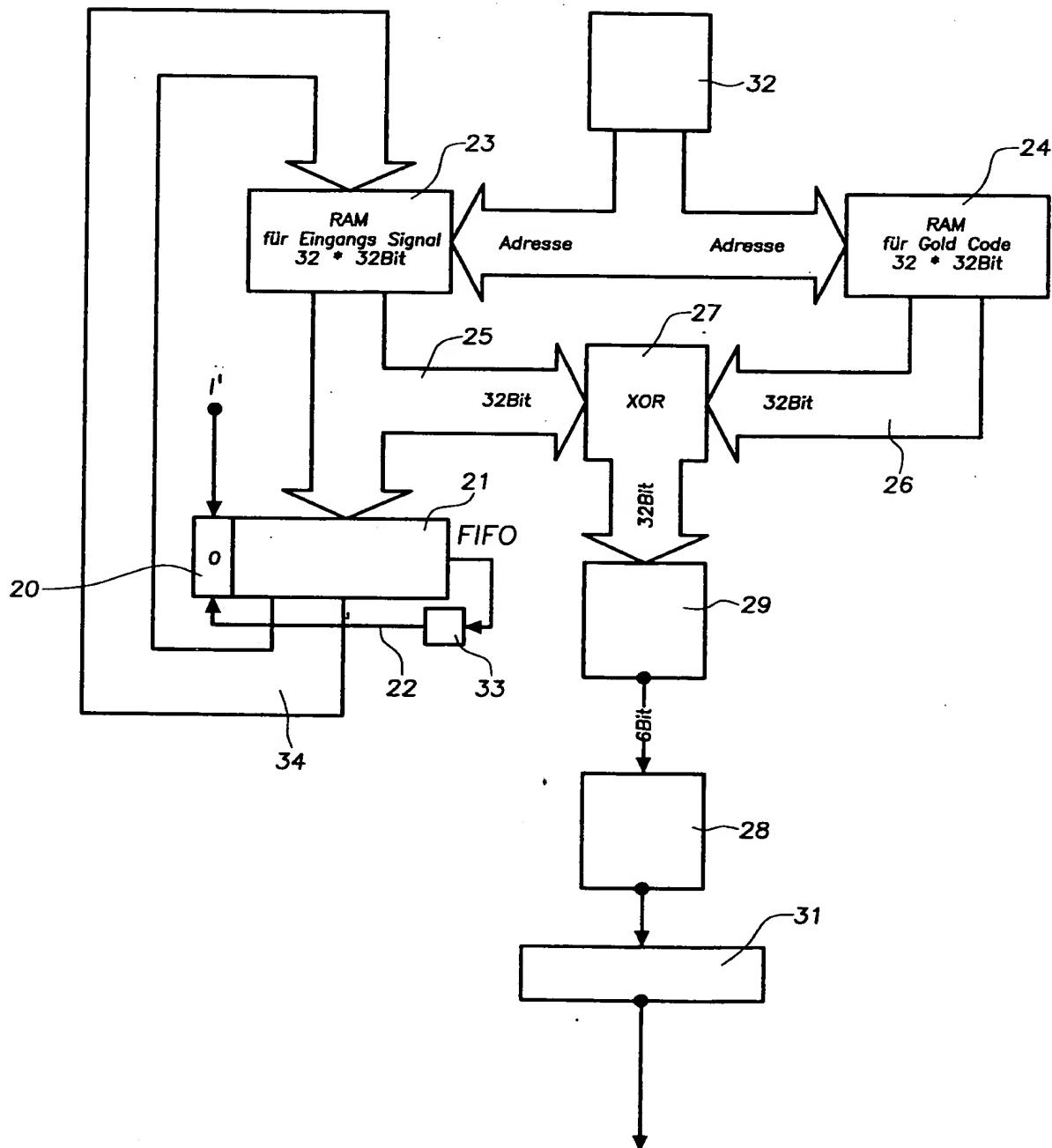
20

21.07.98

Begrenzt die Anzahl der Bits, die bearbeitet werden

2/3

FIG. 2





Beschreibung

Akquisitionsverfahren und Vorrichtung zur Durchführung des 5 Verfahrens

Die Erfindung betrifft ein Akquisitionsverfahren, bei welchem eine mit einer Frequenz f eingehende, kodierte Spreizfolge mit m Bit mit einer lokal erzeugten Spreizfolge korreliert wird, indem eine Vielzahl von lokal erzeugten Spreizfolgen zu 10 empfangenen Spreizfolgen phasenverschoben werden. Die Erfindung betrifft ferner eine Vorrichtung zur Durchführung des Verfahrens.

15 Ein grundlegendes Spreizverfahren ist das Direct-Sequence-Verfahren. Dabei wird eine Nachricht vor der Sendung mit einer höheren frequenteren pseudozufälligen Binärfolge moduliert. Der Empfänger kann aus dem dabei entstehenden Pseudorauschsignal bei Kenntnis der Binärfolge die Nachricht extrahieren.

20 Derartige Verfahren werden in der Datenkommunikation, Ortung und Navigation eingesetzt. Dabei besteht das Problem, daß ein Empfänger von mehreren Sendern Signale empfängt und dann zur Identifizierung der Signale die zeitliche Lage der Signale bestimmt werden muß.

Ein wichtiges Einsatzgebiet für ein derartiges Verfahren ist insbesondere die Echtzeit-Satelliten-Navigation nach dem System NAVSTAR GPS (Navigation System With Timing And Ranging, 30 Global Positioning System). Hier dienen eine Vielzahl von Satelliten

als Sendernetz, die von Boden- oder Kontrollstationen gesteuert werden. Für eine dreidimensionale Ortsbestimmung eines 35 Empfängers müssen wenigstens vier Satelliten im Sichtfeld des Empfängers sein. Die Nachrichten der Sender werden im Empfänger entschlüsselt, um daraus die notwendigen Berechnungen an-

21.07.98

2

zustellen. Damit ein Empfänger einen Satelliten identifizieren und dessen Informationen auswerten kann, muß er einen senderspezifischen Code (Gold-Code) kennen, der als periodische Signalfolge vorgegebener Länge übertragen wird. Zum Auffinden des Codes werden im Empfänger alle Codes der Satelliten gespeichert. Üblicherweise wird dann zunächst der Code eines beliebigen Satelliten erzeugt und mit dem empfangenen Code verglichen. Falls es sich nicht um den erwarteten Satelliten handelt - was in der Regel der Fall ist - müssen Vergleiche mit den abgespeicherten Codes so lange durchgeführt werden, bis Übereinstimmung festgestellt wird.

Da ferner die Phasenlage jedes ankommenden Signals nicht bekannt ist, muß das Signal mit dem empfangenen Code so lange verschoben werden, bis gegebenfalls Übereinstimmung festgestellt wird. Der Vergleich erfolgt über die Korrelationsfunktion des Signals, welches nahezu eins wird, wenn Synchronisation besteht. Wenn man für diesen Suchvorgang alle möglichen Varianten berücksichtigt, müssen grundsätzlich lange Suchzeiten in Kauf genommen werden.

Aus Schrödter, GPS-Satelliten-Navigation, Franzis-Verlag München, 1994 sind zwar Verfahren zur Verkürzung der Akquisitionszeit bekannt. Beispielsweise werden Empfänger mit mehreren Kanälen eingesetzt, die entsprechend der Anzahl der Kanäle parallel suchen können. Das hat aber einen relativ großen Schaltungsaufwand zur Folge.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren und eine Vorrichtung der eingangs genannten Art anzugeben, mit welchem die Akquisitionszeit verringert wird.

35 Verfahrensmäßig wird die Aufgabe dadurch gelöst,

daß eine Korrelation der empfangenen Spreizfolge mit einer

21.07.98

7

3

lokal erzeugten Spreizfolge mit der Frequenz f durchgeführt wird,

daß die empfangene Spreizfolge gespeichert wird und diese
5 ge-

speicherte empfangene Spreizfolge mit einer Überabtastrate
 i^*f prozessiert wird, und

daß die empfangene gespeicherte Spreizfolge in i Abschnitte
10 eingeteilt wird und die Korrelation in i Schritten durchge-
führt wird.

Vorrichtungsmäßig wird die Aufgabe dadurch gelöst, daß ein
rückgekoppeltes Schieberegister zur seriellen Aufnahme der
15 empfangenen Signalfolge vorhanden ist, welches mit einer
Überabtastrate getaktet ist, daß die Registerstellen des
Schieberegisters parallel mit dem Eingang eines Speichers zur
Abspeicherung mehrerer nacheinander ausgelesenen Schieberegis-
terinhalte verbunden sind, daß der Speicher ausgangsseitig
20 parallel mit den Schieberegister verbunden ist, daß ein wei-
terer Speicher zur Aufnahme von Referenzsignalfolgen vorhan-
den ist, und daß ein Vergleicher zum Vergleichen des Speiche-
rinhalt mit dem Inhalt des weiteren Speichers unter der
Überabtastrate vorhanden ist.

Die Erfindung hat den Vorteil, daß die Sendersynchronisation
bzw. das Feststellen einer Übereinstimmung zwischen einem
empfangenen Code und einem abgespeicherten Code um das Maß
der Überabtastrate schneller durchgeführt werden kann als bei
30 einer üblichen, sequentiell ablaufenden Synchronisation. Wenn
beispielsweise mit einer 32-fachen Überabtastrate gearbeitet
wird, so erfolgt der Synchronisierungsvorgang zweiunddreißig Mal
schneller als nach dem herkömmlichen Verfahren.

21.07.98

4

Zur einfachen und schnellen Verarbeitung ist es zweckmäßig, daß die empfangene Spreizfolge innerhalb von k Zyklen in k Abschnittsvarianten mit jeweils m Bit mit einer Überabtastrate von $k \cdot f$ bitweise verschoben wird, indem das höchstwertige 5 Bit einer Abschnittsvariante an die Stelle des niedrigstwertigen Bits der folgenden Abschnittsvariante verschoben wird, daß nach k Zyklen das niedrigstwertigste Bit durch das folgende Bit der empfangenen Spreizfolge ersetzt wird und der Vorgang $(m-1)$ mal wiederholt wird, daß die lokal erzeugte 10 Spreizfolge in k Abschnitte mit jeweils n Bit unterteilt und jeder dieser Abschnitte innerhalb eines Zyklus mit einer Abschnittsvariante der eingegangenen Spreizfolge verglichen wird, daß alle Übereinstimmungen gezählt und die Zählergebnisse gespeichert werden und daß abschließend eine Maximumsübe 15 über alle Zählergebnisse durchgeführt wird.

Auf diese Weise können die Signalfolgen in Daten-Wortlängen unterteilt werden, welche sich auf einfache Weise mit üblichen Datenverarbeitungsbausteinen, wie Schieberegistern, 20 Speichern u.s.w. verarbeiten lassen. Das hat ferner den Vorteil, daß ein Durchtauschen der einzelnen Bits der empfangenen Signalfolge mit Hilfe eines einfachen kurzgeschlossenen Schieberegisters in Verbindung mit einem FIFO-Speicher erfolgen kann.

Nachfolgend wird die Erfindung anhand eines in der Zeichnung dargestellten Ausführungsbeispiels weiter beschrieben.

Fig. 1 zeigt schematisch einen an sich bekannten Empfänger 30 für das GPS-Navigationssystem;

Fig. 2 zeigt schematisch eine Einzelheit des Empfängers gemäß Fig. 1 und

35 Fig. 3 zeigt schematisch die Anordnung eines Addierers als

21.07.98

Einzelheit der Schaltungsanordnung gemäß Fig. 2.

5 In Fig. 1 ist ein Empfänger zur Durchführung eines Spreizverfahrens dargestellt, wie er beispielsweise in der Datenkommunikation, im Mobilfunk sowie bei der Ortung und Navigation eingesetzt werden kann. Der Aufbau und die Funktion dieses Empfängers werden nachfolgend für die Anwendung im GPS-
10 Ortungs- und Navigationssystems beschrieben, da die Operationen im wesentlichen typisch für die Operationen sind, die in allen anderen Empfängern für ein Spreizverfahren angewendet werden. Es wird hierbei aus dem empfangenen Signal, welches neben dem Signal eines ganz bestimmten Senders noch die Informationen aller anderen wirksamen Sender enthält, aus dem Rauschpegel des gesamten Signals herausgefunden.

15

Das von einer Antenne (nicht dargestellt) als Spreizfolge kommende Gesamtsignal wird quadraturmoduliert und mit Hilfe eines Quadraturmodulators ins Basisband gemischt. Eine Quadraturkomponente Q und eine in-Phase-Komponente I werden mit je einem Analog/Digitalwandler (nicht dargestellt) mit der Wortbreite 1 Bit quantisiert.

20

25

30

35

Die Signale werden dann in zwei Zweigen Korrelatoren 2 bzw. 2' gleicher Bauart zugeführt, in welchem jeweils der Gold-Code des zugehörigen Satelliten aus dem Rauschpegel des Gesamtsignals herausgefunden wird. Die Ausgabesignale der Korrelatoren 2, 2' werden einem Leistungsberechner 30 zugeführt, in welchem aus beiden Zweigen die Betragsquadrate in jeweils einer Einheit 3, 3' berechnet und in einem Addierer 4 aufsummiert werden. Aus dem aufsummierten Signal wird in der Einheit 5 die Wurzel gezogen und schließlich wird zur Erhöhung der Sicherheit über das ermittelte Ergebnis in einem Akkumulator 6 die Signalstärke M-mal akkumuliert.

Ein Gold-Codegenerator 8 versorgt die Korrelatoren 2, 2' mit den bei der Suche in Frage kommenden Gold-Codes.

5 Fig. 2 veranschaulicht Einzelheiten des Korrelator 2 gemäß Fig. 1. Da beide Korrelatoren baugleich sind, beschränkt sich die Beschreibung auf den Korrelator 2.

Der jeweils erzeugte Gold-Code mit einer Länge von $m=1023$ 10 Bits, die auch als Chip bezeichnet werden, wird in einen Datenspeicher 24 gespeichert und für die Suchdauer beibehalten. Er wird hierbei in $k=32$ Abschnitte mit jeweils $n=32$ Bit geteilt, so daß auf 32 Speicherplätzen jeweils 32 Bit (bzw. 31 Bit) gespeichert werden. Das eingehende Signal I wird bitweise 15 über ein Ein-Bit-Register 20 seriell in ein FIFO-Schieberegister 21 mit einer ersten Frequenz f von beispielsweise 1 MHz eingetaktet. Im vorliegenden Fall hat das FIFO-Schieberegister 21 zweiunddreißig Registerstellen. Es arbeitet mit einer Überabtastrate von $i \cdot f$, d.h. von 32 MHz.

20 Die Datenspeicher 23, 24 weisen Adresszeiger auf, die in der Weise über eine Steuerung 32 das Ein- und Auslesen steuern, daß die 32 Bit-Wörter in chronologischer Reihenfolge abgespeichert sind. Die Korrelationen werden bei dem aktuellsten 32 Bit-Wort begonnen und bei dem ältesten 32 Bit-Wort beendet.

30 Innerhalb eines 32 Bit-Wortes befindet sich das jeweils aktuellste, d.h. zuletzt eingelesene Bit, in der niederwertigsten Stelle und das älteste Bit an der höchsten Stelle.

Das FIFO-Schieberegister 21 dient dazu, nacheinander 32 Bit-Wörter zu erzeugen, die sich jeweils vom vorausgehenden 32 Bit-Wort dadurch unterscheiden, daß sie um ein Bit von der 35 niedrigstwertigen Stelle zur höchstwertigen Stelle verschoben sind.

Eine Korrelation erfolgt folgendermaßen:

Bevor ein neues Bit der empfangenen Spreizfolge bzw. des empfangenen Signals I' in die niedrigstwertige Registerstelle 5 20 eingelesen wird, wird das aktuelle 32 Bit-Wort in Richtung zur höchstwertigen Stelle verschoben, wobei das höchstwertige Bit in ein als Verzögerungsglied dienendes Zwischenregister 33 eingelesen wird. Nun wird das Bit des empfangenen Signals I' in die niederwertigste Stelle geschrieben, das Bit im Zwischenregister 10 21 wird verworfen. Das FIFO-Schieberegister 21 enthält dann in der niedrigstwertigen Registerstelle das neu empfangene Bit und in den übrigen Registerstellen die 15 31 niedrigwertigsten Bits des älteren 32 Bit-Wortes. Gleichzeitig wird ein Summator 28 auf den Wert null zurückgesetzt. Das 20 25 neue 32 Bit-Wort wird unter derjenigen Adresse des als RAM ausgebildeten Datenspeichers 23 gespeichert, an der das vorausgehende 32 Bit-Wort ausgelesen wurde.

Für alle verbleibenden Speicherstellen des Datenspeichers 23 20 wird dann jeweils nacheinander der Speicherinhalt ausgelesen und mit dem entsprechenden Speicherinhalt des als RAM ausgebildeten Datenspeichers in einem XOR-Vergleicher 27 verglichen, der ein 32 Bit langes Ergebnis liefert. In einem nachgeschalteten Addierer 29 wird die Summe aller logisch-1-Werte dieses 25 32 Bit-Wortes ermittelt.

Gleichzeitig wird das aktuelle 32 Bit-Wort aus dem Datenspeicher 23 in das FIFO 21 geschrieben und um 1 Bit von der niedrigstwertigen Stelle zur höchstwertigen Stelle verschoben. 30 Das zuvor im Register 33 zwischengespeicherte Bit wird jetzt in die niedrigstwertigste Stelle 20 des FIFO-Schieberegisters 21 eingelesen. Das auf diese Weise erzeugte neue Wort wird unter seiner alten Adresse im Datenspeicher 23 abgespeichert. Es wird dann wieder ein Vergleich mit dem entsprechenden Abschnitt 35 des Gold-Codes, der im Datenspeicher 24 abgespeichert ist, durchgeführt, wie es oben bereits beschrieben wurde.

Wenn auf diese Weise alle 32 im Datenspeicher 23 abgespeicherten Worte in 32 Zyklen verarbeitet wurden, wird das Korrelationsergebnis durch den Summator 28 berechnet.

5 Der Inhalt des FIFO-Schieberegisters 21 wird mit 32 MHz parallel über einen Bus 34 in eine erste Adresse eines Datenspeichers (RAM 24) gespeichert. Danach wird der Adresszeiger des RAM 23 um eine Stelle erhöht und das FIFO-Schieberegister 21 wird erneut mit einem zweiunddreißig Bit langen Datenwort 10 geladen und der Korrelationsvorgang beginnt von vorne.

Im weiteren Datenspeicher RAM 24, der identisch zum RAM 23 zweiunddreißig Speicherplätze mit jeweils zweiunddreißig Bit aufweist, wird der Gold-Code abgespeichert, wie er vom Gold-15 Code-Generator 8 (Fig. 1) erzeugt wird. In gleicher Weise, wie die Abschnitte vorgegebener Chiplänge $n=32$ der empfangenen Chipfolgen im RAM 23 abgespeichert sind, wird auch jeweils der Gold-Code im weiteren RAM 24 in Abschnitte vorgegebener Länge $n=32$ unterteilt und unter zweiunddreißig aufeinander folgenden

Adressen abgespeichert. Die Ausgänge beider RAMs 23, 24 werden über Parallelbusse 25 bzw. 26 mit jeweils einer Breite von zweiunddreißig Bit dem XOR-Vergleicher 25 zugeführt und darauf bitweise auf Übereinstimmung überprüft. Die Übereinstimmung anzeigen den Bits werden in einem Bitsummierer 27 aufsummiert und in einem Akkumulator 28 über zweiunddreißig Zyklen aufsummiert.

In Fig. 3 ist ein besonders schnell arbeitendes Beispiel für 30 den Bitsummierer 27 gemäß Fig. 2 veranschaulicht. Er besteht aus einer kaskadenartigen Zusammenschaltung von 2-Bit-Addierern ADD, wobei die Ausgänge jeweils zwei Addierer ADD auf die Eingänge eines folgenden Addierers ADD einer weiteren Stufe geschaltet sind. In dem folgenden Beispiel sind somit 35 zum Summieren von zweiunddreißig Bit in der ersten Stufe sechzehn Addierer ADD erforderlich. Die zweite Stufe weist sechzehn Addierer ADD auf usw.

21.07.80

Eine mögliche Maximumssuche besteht darin, daß z.B. in der Recheneinheit 31 eine Maximumssuche über alle Signale des Akkumulators 6 durchgeführt wird.

21.07.90

Patentansprüche

1. Akquisitionsverfahren, bei welchem eine mit einer Frequenz f eingehende, binär codierte Spreizfolge mit m Bits mit einer lokal erzeugten Spreizfolge korreliert wird, indem eine Vielzahl von lokal erzeugten Spreizfolgen zur empfangenen Spreizfolge phasenverschoben werden,
dadurch gekennzeichnet,
 - daß eine Korrelation der empfangenen Spreizfolge mit einer lokal erzeugten Spreizfolge mit der Frequenz f durchgeführt wird,
 - daß die empfangene Spreizfolge gespeichert wird und diese gespeicherte empfangene Spreizfolge mit einer Überabtastrate i^*f prozessiert wird, und
 - daß die empfangene gespeicherte Spreizfolge in i Abschnitte eingeteilt wird und die Korrelation in i Schritten durchgeführt wird.
- 20 2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet,
daß die empfangene Spreizfolge innerhalb von k Zyklen in k Abschnittsvarianten mit jeweils m Bit mit einer Überabtastrate von k^*f bitweise verschoben wird, indem das höchstwertige Bit einer Abschnittsvariante an die Stelle des niedrigstwertigsten Bits der folgenden Abschnittsvariante verschoben wird, daß nach k Zyklen das niedrigstwertigste Bit durch das folgende Bit der empfangenen Spreizfolge ersetzt wird und der Vorgang $(m-1)$ mal wiederholt wird,
 - daß die lokal erzeugt Spreizfolge in k Abschnitte mit jeweils n Bit unterteilt und jeder dieser Abschnitte innerhalb eines Zyklus mit einer Abschnittsvariante der eingangenen Spreizfolge verglichen wird,
 - daß alle Übereinstimmungen gezählt und die Zählergebnisse gespeichert werden und
 - daß abschließend eine Maximumsuche über alle Zählergebnisse durchgeführt wird.

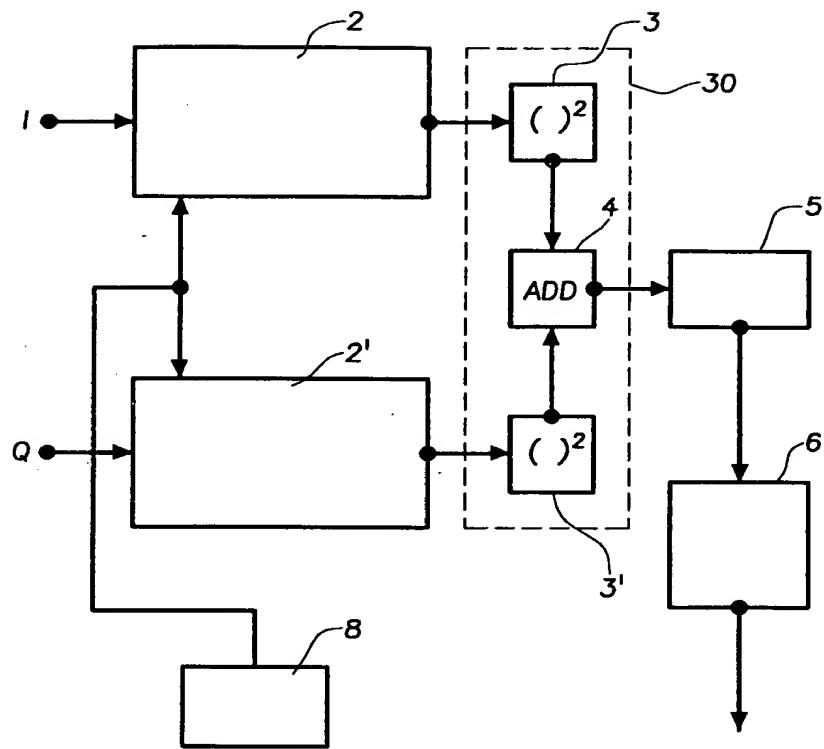
3. Verfahren nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
daß die Anzahl der Abschnitte vorgegebener Länge $k=32$ und die
5 Chiplänge der Abschnitte $n=32$ ist.

4. Vorrichtung zur Durchführung des Verfahrens nach Anspruch 1,
dadurch gekennzeichnet,
10 daß ein rückgekoppeltes Schieberegister zur seriellen Aufnahme der empfangenen Signalfolge vorhanden ist, welches mit einer Überabtastrate getaktet ist,
daß die Registerstellen des Schieberegisters parallel mit dem Eingang eines FIFO-Speichers zur parallelen Abspeicherung von
15 mehreren, nacheinander ausgelesenen Schieberegisterinhalten verbunden sind,
daß der FIFO-Speicher ausgangsseitig parallel mit den Schieberegisterstellen zur parallelen Datenübergabe in das Schieberegister verbunden ist,
20 daß ein weiterer Speicher zur Aufnahme von Referenzsignalfolgen vorhanden ist, und
daß ein Vergleicher zum Vergleichen des FIFO-Speicherinhalts mit dem Inhalt des anderen Speichers unter der Überabtastrate vorhanden ist.

5. Vorrichtung nach Anspruch 4,
dadurch gekennzeichnet,
am Ausgang des Vergleichers ein Summierer vorhanden ist um
30 die beim bitweisen Vergleich bei übereinstimmende Bitstellen erzeugten logischen Werte aufzusummieren,
daß der Summierer aus einer kaskadenartigen Zusammenschaltung von 2-Bit-Addierern zusammengesetzt ist, wobei die Ausgänge jeweils zweier Addierer auf die Eingänge eines folgenden Addierers geschaltet sind.

1/3

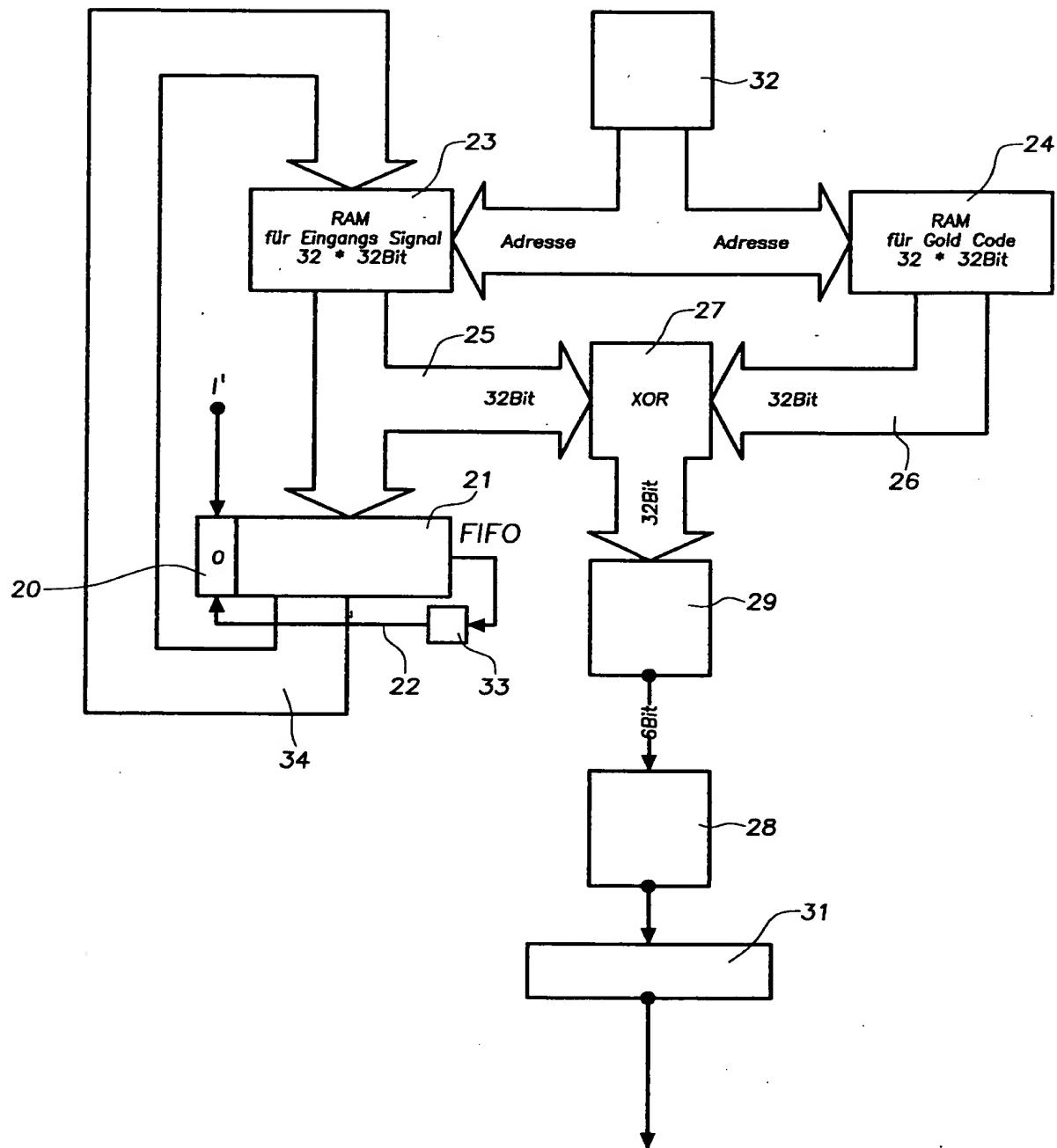
FIG. 1



21.07.90

2/3

FIG. 2



21.07.98

3/3

FIG. 3

